

Les multiplexeurs et les démultiplexeurs

Site Internet :
www.gecif.net

Type de document :
Cours

Intercalaire :

Date :

I - Introduction

Le multiplexage consiste à recevoir plusieurs signaux binaires sur n lignes distinctes, à les compacter sur une seule ligne et à les distribuer, à l'arrivée, sur n lignes restituant à chaque ligne primaire son signal d'origine. Il s'effectue :

- * En Fréquence : sur la même ligne, le multiplexage de plusieurs fréquences [additionnées au départ et séparées à l'arrivée par des filtres de fréquences] permet de transmettre sur le même intervalle de temps les n bits de n lignes.
- * En Temps : la ligne intermédiaire envoie un "message" composé de n bits de chacune des lignes origines en série, à l'arrivée, chaque bit sera redistribué circulairement sur les n lignes réceptrices ; une seule ligne mais transmission plus lente.

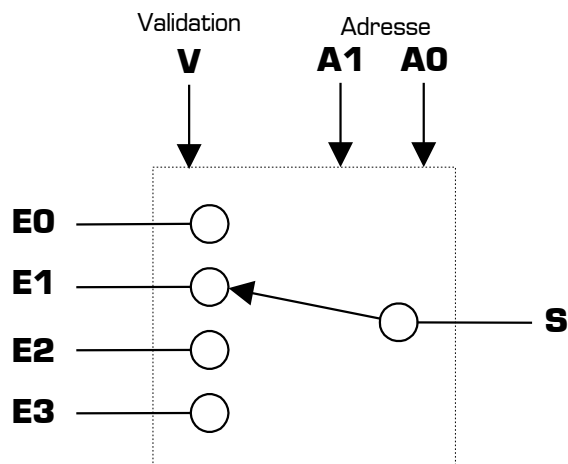
II - Principe du multiplexage

Exemple : Multiplexeur à 4 entrées, appelé aussi multiplexeur 4 vers 1 :
Ce multiplexeur dispose de :

- * 4 entrées de donnée **E0, E1, E2 et E3**
- * 2 entrées d'adresse **A0 et A1**
- * 1 sortie **S**
- * 1 entrée de validation **V**

Equation de la sortie S :

- * $S = E0$ si $A0 = 0$ et $A1 = 0$ et $V = 1$
- * $S = E1$ si $A0 = 1$ et $A1 = 0$ et $V = 1$
- * $S = E2$ si $A0 = 0$ et $A1 = 1$ et $V = 1$
- * $S = E3$ si $A0 = 1$ et $A1 = 1$ et $V = 1$



Le multiplexage consiste à envoyer sur une même ligne de transmission des informations provenant de sources différentes

Table de fonctionnement de ce multiplexeur 4 vers 1 :

| | V | A1 | A0 | S |
|----------------|---|----|----|---|
| Adresse de E0 | | | | |
| Adresse de E1 | | | | |
| Adresse de E2 | | | | |
| Adresse de E3 | | | | |
| MUX non validé | | | | |

L'équation de S est : **S** =

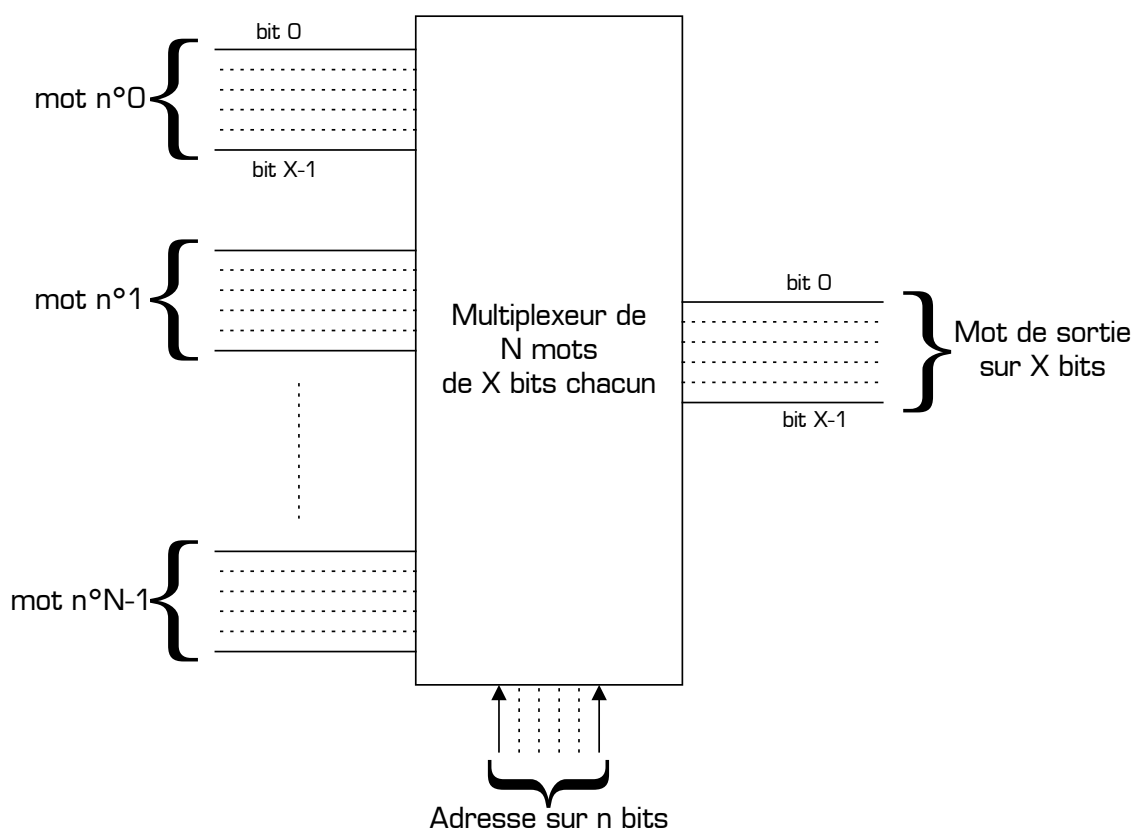
Remarque : On voit à l'aide de cet exemple le nombre déjà assez élevé de connexions à réaliser pour multiplexer seulement 4 entrées avec des fonctions logiques élémentaires.

III - Multiplexeur de mots d'entrée

Un multiplexeur de mot travaille simultanément sur plusieurs bits.

Il peut donc être considéré comme un ensemble de multiplexeurs de 1 parmi N, fonctionnant simultanément avec la même adresse. Ce type de multiplexeur accepte n groupes d'entrées (ou mots) de x bits chacun.

En sortie sur x accès on dispose du mot [1 parmi les N] qui est sélectionné grâce à l'adresse [n fils si $N = 2^n$].



Exemple : Multiplexeur de 2 mots de 4 bits chacun
[circuit 74 153]

Ce multiplexeur dispose de :

- * 4 mots en entrée A, B, C et D, composé chacun de 2 bits
- * 2 entrées d'adresse X et Y
- * 2 entrées de validation V1 et V2
- * 2 sorties S0 et S1 sur lesquelles se retrouve le mot de 2 bits sélectionné

Le fonctionnement en multiplexeur n'a lieu que si les signaux de validation V1 et V2 sont tous les deux à l'état logique 0.

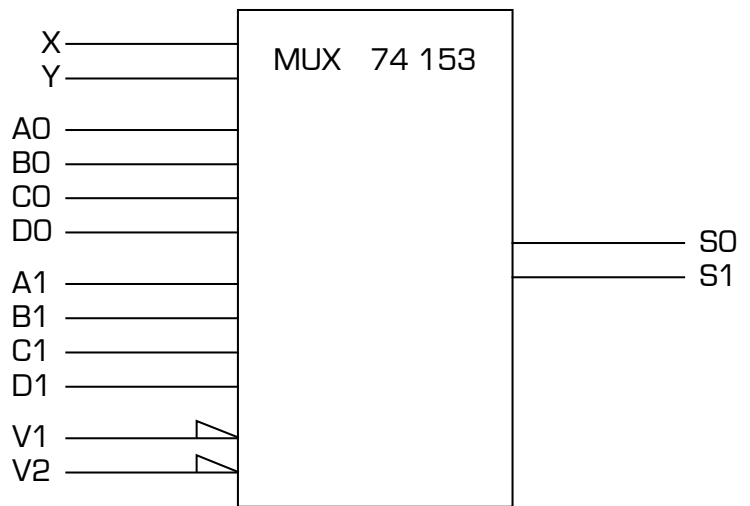


Table de fonctionnement du multiplexeur 74 153 :

| Entrées | | | | | | | | | | | | Sorties | |
|---------|---|--------|----------------------|----|----|----|--------|--------------------|----|----|----|---------|-----|
| Adresse | | Valid. | Données poids faible | | | | Valid. | Données poids fort | | | | LSB | MSB |
| X | Y | V1 | A0 | B0 | C0 | D0 | V2 | A1 | B1 | C1 | D1 | S0 | S1 |
| X | X | 1 | X | X | X | X | X | X | X | X | X | | |
| X | X | X | X | X | X | X | 1 | X | X | X | X | | |
| 0 | 0 | 0 | 0 | X | X | X | 0 | 0 | X | X | X | | |
| 0 | 0 | 0 | 1 | X | X | X | 0 | 1 | X | X | X | | |
| 0 | 1 | 0 | X | 0 | X | X | 0 | X | 0 | X | X | | |
| 0 | 1 | 0 | X | 1 | X | X | 0 | X | 1 | X | X | | |
| 1 | 0 | 0 | X | X | 0 | X | 0 | X | X | 0 | X | | |
| 1 | 0 | 0 | X | X | 1 | X | 0 | X | X | 1 | X | | |
| 1 | 1 | 0 | X | X | X | 0 | 0 | X | X | X | 0 | | |
| 1 | 1 | 0 | X | X | X | 1 | 0 | X | X | X | 1 | | |

IV - Principe du démultiplexage

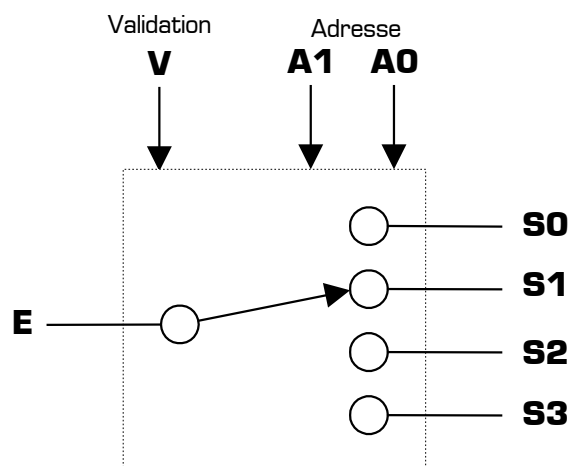
Il n'y a qu'une seule entrée dont la valeur est dirigée vers une sortie parmi les N sorties du démultiplexeur. Le code de sélection, appliqué à n entrées dites d'adresse ($2^n = N$), permet de déterminer vers quelle sortie sera dirigée la donnée présente sur l'entrée. On pourra de plus trouver une ou plusieurs entrées de validation.

Exemple : Démultiplexeur à 4 sorties, appelé aussi démultiplexeur 1 vers 4 :
Ce multiplexeur dispose de :

- * 1 entrée de donnée **E**
- * 4 sorties **S0, S1, S2** et **S3**
- * 2 entrées d'adresse **A0** et **A1**
- * 1 entrée de validation **V**

Equations des sorties :

- * $S0 = E$ si $A0 = 0$ et $A1 = 0$ et $V = 1$
- * $S1 = E$ si $A0 = 1$ et $A1 = 0$ et $V = 1$
- * $S2 = E$ si $A0 = 0$ et $A1 = 1$ et $V = 1$
- * $S3 = E$ si $A0 = 1$ et $A1 = 1$ et $V = 1$



Le démultiplexage consiste à répartir sur plusieurs lignes des informations qui arrivent en série sur une même ligne

Table de fonctionnement de ce multiplexeur 4 vers 1 :

| | V | A1 | A0 | S0 | S1 | S2 | S3 |
|-----------------|----------|-----------|-----------|-----------|-----------|-----------|-----------|
| Adresse de S0 | | | | | | | |
| Adresse de S1 | | | | | | | |
| Adresse de S2 | | | | | | | |
| Adresse de S3 | | | | | | | |
| DMUX non validé | | | | | | | |

Les équations des 4 sorties sont :

* **S0** =

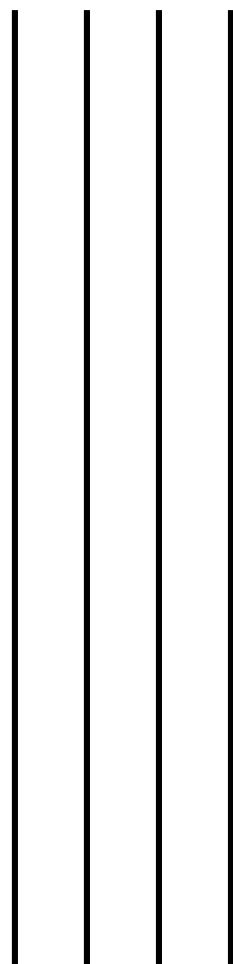
* **S1** =

* **S2** =

* **S3** =

Logigramme :

E V A1 A0



———— **S0**

———— **S1**

———— **S2**

———— **S3**

Remarque :

On remarquera qu'un **démultiplexeur** est semblable à un **décodeur** [sélecteur d'une sortie parmi plusieurs], la seule différence avec le décodeur étant **l'entrée des données E**. Les décodeurs intégrés possèdent le plus souvent une entrée de validation, celle-ci peut alors servir d'entrée de données ce qui permet alors de transformer le décodeur en démultiplexeur. C'est une des raisons qui fait que les fabricants de circuits intégrés donnent souvent le nom de **décodeur/démultiplexeur** à ces dispositifs.